

(02)

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平10-504129

(43) 公表日 平成10年(1998) 4月14日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 1 1 C 11/408

G 1 1 C 11/34

3 5 4 B

11/407

3 6 2 S

11/413

J

審査請求 有 予備審査請求 有 (全 19 頁)

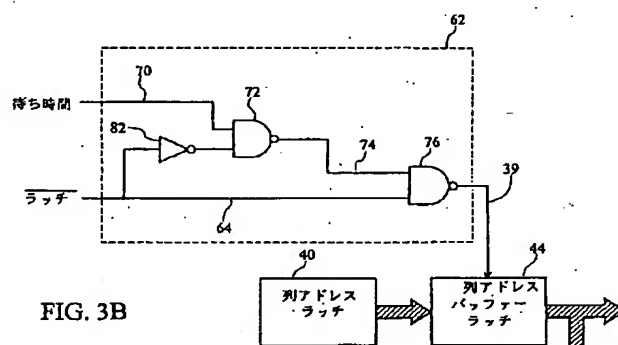
(21) 出願番号 特願平8-528477  
(86) (22) 出願日 平成8年(1996) 3月12日  
(85) 翻訳文提出日 平成9年(1997) 9月16日  
(86) 国際出願番号 PCT/US 96/03379  
(87) 国際公開番号 WO 96/29637  
(87) 国際公開日 平成8年(1996) 9月26日  
(31) 優先権主張番号 08/403, 382  
(32) 優先日 1995年3月13日  
(33) 優先権主張国 米国 (US)  
(81) 指定国 EP (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

(71) 出願人 ミクロン テクノロジー、インコーポレイテッド  
アメリカ合衆国 83706-9632 アイダホ州 ボイス サウス フェデラル ウェイ 8000  
(72) 発明者 ザガー、ポール ステファン  
アメリカ合衆国 83706 アイダホ州 ボイス ブルーステム レーン 2107  
(72) 発明者 シャエガー、スコット  
アメリカ合衆国 83706 アイダホ州 ボイス イースト フェアブルック ウェイ 301  
(74) 代理人 弁理士 中島 淳 (外2名)

(54) 【発明の名称】 プログラム可能な待ち時間を有する同期メモリー装置のための最適化回路と制御

(57) 【要約】

プログラム可能な待ち時間による同期メモリー装置のための最適化回路と制御同期DRAMのために存在する待ち時間によりメモリー・アクセス動作の速度パスを最適化するための方法と装置。改良されたメモリー装置は、tRCDが臨界パラメータであるとき、列アドレス・ラッチのために利用できる時間から有効データ取り出し (tAA) までtRCDを補償するために列アドレスの出現を遅らせることで行アドレスラッチと列アドレスラッチ (tRCD) との間の時間を補償する。最適化回路は、tAAのために利用できる時間の量を短縮し、またそれをより臨界的なパラメータtRCDに"シフト"し、tRCDをtAAのために利用できる余分な時間で補償することで、tRCDに割り当てられた時間の最適化あるいは短縮を行うことができる。従って、メモリー・アクセス最適化回路で、最適化されたtRCDをtAAのために利用できる余分の時間で補償することにより全体としてのメモリー・アクセス時間の最適化あるいは短縮を行うことができる。



**【特許請求の範囲】**

1. メモリー・セルの行と列のメモリーアレーを有し、システム・クロックと同期して作動するメモリー装置であって；

前記アドレス端子に連結されており、列アドレスをラッチする列アドレス・ラッチと；

待ち時間信号と列ラッチ信号を受信し、前記列ラッチ信号を調整して、調整された列ラッチ信号を作り出すための待ち時間遅延回路と；

前記列アドレス・ラッチに接続されており、前記調整された列ラッチ信号にตอบสนองして列アドレス復号化のために、前記列アドレスを作り出す列アドレス・バッファラッチと、

を備えるメモリー装置。

2. 前記待ち時間遅延回路が、前記列ラッチ信号を予め設定された量だけ遅らせることで、内部で、前記列ラッチ信号と前記調整された列ラッチとの間の位相差を調整することを特徴とする、請求項1に記載されているメモリー装置。

3. 更に、前記行アドレスと前記列アドレスで指定される前記メモリー・アレーの一部をアクセスするために前記メモリーアレーに接続されるメモリーアクセス回路を含むことを特徴とする、請求項1に記載されているメモリー装置。

4. 前記メモリー装置が同期ダイナミックRAMであることを特徴とする、請求項1に記載されているメモリー装置。

5. メモリー・セルの行と列のメモリー・アレーを有し、システム・クロックと同期して作動するメモリー装置であって；

アドレス端子に接続され、行ラッチ信号を受信すると、直ちに行アドレスをラッチする行アドレスラッチと；

列アドレスをラッチするために前記アドレス端子に接続された列アドレスラッチと；

待ち時間信号と列ラッチ信号を受信し、調整された桁ラッチ信号を作り出すために前記列ラッチ信号を調整する待ち時間遅延回路と；

前記列アドレス・ラッチに接続され、前記調整された列ラッチ信号にตอบสนองして

列アドレス復号化のために前記列アドレスを作り出す列アドレス・バッファ・ラッチと；

前記行アドレスと列アドレスにより指定された前記メモリー・アレーの一部をアクセスするために前記メモリー・アレーに接続されたメモリー・アクセス回路と；

を備えるメモリー装置。

6. 前記最適化回路が、内部で、前記列ラッチ信号を予め設定された量でだけ遅らせることで前記列アドレス・ラッチ信号と列アドレス復号化との間の時間を調整することを特徴とする、請求項5に記載されているメモリー装置。

7. メモリー・セルの行と列のメモリーアレイを有し、システム・クロックと同期して作動するメモリー装置のメモリー・アクセス時間を最適化するための方法であって、：

待ち時間を前記メモリー装置に提供するステップと；

列アドレスをラッチするステップと；

列ラッチ信号を提供するステップと；

待ち時間信号が予め設定された待ち時間を示すと、前記列ラッチ信号を調整するステップと；

前記調整された列ラッチ信号に応答して列アドレスの復号化のために前記列アドレスを提供するステップと、；

を備えるメモリアクセス時間の最適化方法。

8. 前記調整ステップが、更に、予め設定された量だけ前記列ラッチ信号を遅らせることを含むことを特徴とする、請求項7に記載されている方法。

## 【発明の詳細な説明】

プログラム可能な待ち時間を有する同期メモリー装置のための最適化回路と制御

本発明は、一般的に、DRAMのようなメモリー装置に関する。より具体的には、本発明は、プログラム可能な待ち時間を有する同期メモリー装置の最適化回路と制御に関する。

典型的なダイナミック・ラム（以下DRAM）は、一般的に、大部分が行アクセス信号（RAS）と列アドレス信号（CAS）によりその動作が制御されている非同期装置である。

同期ダイナミック・ラム（以下SDRAM）は、同期メモリー・システム内で動作されるように設計されている。そのようにして、停電モードの間及び自己リフレッシュモードの間作動しているクロックを除く場合もあるが、入力信号と出力信号は、システムのクロックパルスのエッジに同期化される。同期DRAMは、ダイナミック・メモリー動作の性能の面で大きな利点を提供する。同期DRAMの一つの重要な進歩は、同期的にデータのバーストを高いデータ転送速度で行えることである。更に、同期DRAMには、プログラム可能なREAD待ち時間のようなプログラム可能な特徴が備わっている。1、2あるいは3クロックのプログラム可能なREAD待ち時間が一般的である。READ待ち時間は、クロック速度（ICK）に関係なく、READコマンドが始動されてから、どのクロック・サイクルでデータを得ることができるかを決定する。周波数により、READ待ち時間よりも少ない1クロックサイクルまでの点で出力上でデータが利用できる。例えば、READコマンド（IAA）からの最低アクセス時間より大きいサイクル期間を有する2クロック・サイクルのプログラムされたREAD待ち時間は、最初のクロック・サイクルのほぼ直後にデータを提供するが、しかし、2クロック・サイクルのプログラムされたREAD待ち時間のために、そのデータは、二番目のクロック・サイクルの後まで有効のままである。

プログラム可能なREAD待ち時間で、異なるシステムクロック周波数を有する異なるメモリー・システムで、同期DRAMを効率的に利用できる。例えば、同期DRAMが37nsの最小アクセス時間（IAA）を有しており、またシステム・クロックサイ

クル、tCK、が15ns (66Mhz) である場合、3クロック・サイクルのREAD待ち時間で、READコマンドから、二番目のクロック・サイクル (30ns) と三番目のクロック・サイクル (45ns) の間に最初の有効なデータ取り出しを行うことができる。このデータは、三番目のクロック・サイクルの後 (READ待ち時間) まで有効のままである。しかし、メモリー・システムのためのtCKが25ns (40Mhz) である場合は、同期DRAMのプログラマーは、READ待ち時間を2に設定すると、時間的な利点を見いだすことができる。READ待ち時間が2に設定された場合は、最初の有効なデータ取り出しは、READコマンドから最初のクロック・サイクル (25ns) と二番目のクロック・サイクル (50ns) の間で起こる。データは、二番目のクロック・サイクル (READ待ち時間) の後まで有効のままであるが、しかし、READ待ち時間が3にプログラムされたとすれば、有効な取り出しは、三番目のクロック・サイクル (75ns) の後までそのままであり、それは効率的な時間の使用とは言えない。

標準的な同期DRAMは、アクティブコマンド (Active Command) を介して、行アドレス・ストロブが発火されたとき、行アドレスをラッチしてから復号し、次に、READ/WRITEコマンドを介して、列アドレス・ストロブが発火されたとき、列アドレスをラッチしてから復号する。2つの臨界パラメータはtRCD (アクティブコマンドからREAD/WRITEコマンドまで) とtAA (READ/WRITEコマンドからデータ出力まで) である。パイプライン方式を利用する同期DRAMは、同様の性能を持たせるために、tAAとtRCDと共に利用されている。システムクロック周波数によっては、典型的な同期DRAMは、tRCDとtAAに対して各々3個のクロック・サイクルを割り当てる。より低いシステムクロック周波数に対しては、tRCDとtAAを各々2個のシステム・クロック・サイクルに設定できる。そのようにして、全体のメモリー・アクセス時間は、それぞれ6クロック・サイクルと4クロック・サイクルである。メモリー・アクセスのために必要な時間を最小限度

に抑える要求は常に存在し、またシステムの動作に影響を与えることなくtRCDとtAAの何れもが短縮できるのであれば、システムのメモリー・アクセス時間は短縮できる。

従って、メモリアクセスのために要する時間を最短にする、プログラム可能なREAD待ち時間付の速度パスを最適化するためのDRAMのための装置に対する要求がある。

本発明は、プログラム可能な待ち時間を有する同期メモリーに於て、メモリー・アクセス動作の速度パスの最適化に関する。最適化システムは、最適化の一部としてより少ないクロック・サイクルが割り当てられる行アドレスのラッチと復号に要する時間のような、他の時間成分あるいはメモリー・アクセスのパラメータのための追加時間を与えるために、列アドレス復号に利用できる時間を調整することでこれを達成する。従って、時間パラメータに割り当てられたクロック・サイクルを減らし、他の時間パラメータに割り当てられた余剰時間でその時間パラメータを補償することで、メモリー・アクセスのためのクロック・サイクルを最適化できる。

列アドレス・ラッチは、システムの仕様により通常固定されているが、クロック待ち時間は、通常1、2あるは3クロック・サイクルの間で変化させることができるようになっていてる。従って、列アドレス・ラッチは変化しないが、列アドレス復号が可能となったときに、全体のメモリー・アクセス時間を最適化するための本発明の最適化回路で変化させることができる。例えば、行アドレス・ラッチと列アドレス・ラッチ (IRCD) との間の時間のために割り当てられたクロック・サイクルの数が短縮されるか最適化されるとき、IRCDは臨界時間成分あるいはパラメータとなる。この短縮を可能とするために、臨界時間パラメータIRCDのための追加時間を与えるために列復号装置への列アドレスの提示を遅延させることで、最適化回路は列アドレスの復号を遅らせる。最適化回路は、IAA (データ取り出しのためのREAD/WRITEコマンド) ために利用できる時間量を、より臨界的成分IRCDへ”シフト”し、IRCDに割り当てられるクロック・サイクルの最適化あるいは短縮を可能とする。このようにして、本発明で、当初に、IAAのために利用できる余分の時間を、最適化された数のクロック・サイクルが割り当てられたIR

CDに提供することによりメモリー・アクセスの全体の時間の最適化あるいは短縮を行うことができる。更に、システムの処理、待ち時間及び周波数を整合させる

と共に、将来の拡張（エンハンスメント）を可能とするために、本発明の時間シフトを調整可能にすることができる。

本発明の好ましい実施の形態に従って、tRCDに利用できる時間が2（個）のシステム・クロック・サイクルに短縮され、またtAAが2（個）と3（個）のクロック・サイクル（2個のクロック・サイクルに1KQを加えたもの）の間である場合、同期DRAMのREAD待ち時間は、tAAを行う余裕を持たせるために少なくとも3個のクロック・サイクルでなければならない。このように、READ待ち時間は3（個）のクロック・サイクルに設定された場合は、tAAは、利用できる余分の時間を持ち、また2（個の）システム・クロック・サイクルに最適化されたtRCDは、歩留まり制限パラメータである。列アドレスの復号を遅らせることで、READ/WRITEコマンドが列アドレスをラッチすると、最適化回路はtAAに利用できる余分の時間をより臨界的成分のtRCDにシフトする。このようにして、シフトできない外部の同期クロックのエッジから内部の列アドレスのバッファリングを”位相シフト”することで、速度の歩留まりを最大限にすることができる。従って、この場合、本発明では、三番目のシステム・クロック・サイクルの前に、tRCDがtAAを行えるようにするための余分の時間により補償されるので、tRCDを2個のクロック・サイクルのみに割り当てることができ、それによりメモリー・アクセスのために利用できる全体の時間を最適化できる。この場合、本発明では、同期DRAMがREAD動作を、6個ではなく全体で5個のシステム・クロック・サイクルで行えるようにすることができる。

本発明の他の態様と特徴は、次の詳しい説明と図面を参照することで明瞭となる。

図1は、半導体チップの斜視図であり、本発明の原理が組み込まれる回路装置のタイプの一例である。

図2は、プログラム可能なREAD待ち時間を有する同期DRAMの構成と使用のブロック図であり、本発明の原理に従って最適化回路を実施する。

図3 aは、本発明の原理に従って実施された図2のSDRAMの一部の最適化回路を含む配線図である。

図3 bは、本発明の原理に従って図3 aに示されている最適化回路の待ち時間遅延回路の特定の実施の形態の詳しい配線図である。

本発明は種々の変更と代替の形態が可能であるが、その詳細は図面の中の例で示されており、詳しく説明されている。しかしその意図はこの発明を説明された特定の実施の形態に限られないものと解釈されるものとする。反対に、その意図は、添付されている請求の範囲により規定されているように、この発明の精神と範囲に入る全ての変更、同等のもの、代替品を包含するものとする。

本発明と方法論の原理に従った同期DRAMのための最適化回路の実証的实施の形態は下記のように説明される。

それは列アドレスのラッチと、列アドレスの復号の作動化との間の時間を調整して、最適化の一部としてより少ないクロック・サイクルが割り当てられている行アドレスのラッチと復号のために必要な時間のようなメモリー・アクセスの他の時間パラメータのための追加時間を与えるための最適化回路を使用して実施できるように下記のとおり説明されている。これを明確にするために、実際の実施の全ての特徴は必ずしもこの明細書の中に網羅されていない。このような全ての実際の実施（全ての開発プロジェクトのような）に当たって、各々の実行方法次第で異なるシステムと実用化上の制約との適合性のような、開発者の特定の目標と二次目標を達成するために、多数の実施に特有な決定が行われなければならないことは言うまでもない。更に、このような開発努力が複雑であり時間を浪費するが、これは、この開示で利益を享受する当業者にとって、あくまでもデバイス・エンジニアリングの退屈な仕事であることは言うまでもない。

本発明は、図1に参照番号10で示されているとおりの、従来の小型外付けJ型リード（SOJ）の中に配設させることができるプログラム可能なREAD/WRITE待ち時間を有する同期DRAMに関して適用できる。

図2は、ブロック図で、本発明の好ましい実施の形態に従って実施されているプログラム可能なREAD待ち時間サイクルを有するDRAM12の構成と使用の一例を示

している。この好ましい実施の形態において、同期DRAMは、READ待ち時間を2個と3個のシステムクロック・サイクルに少なくともプログラムできる。



同期DRAM12には、2 MeG X 8メモリー・アレー16をアクセスするための同期インターフェースと制御論理を行う制御レジスター14が含まれる。制御レジスターへの入力には、クロック (CLK) 18、クロック作動化 (CE) 20、チップ選択 (CS) 22、行アドレスストロブ (RAS) 24、列アドレスストロブ (CAS) 26、書き込み許可 (WE) 28が含まれる。CLK 18はシステム・クロックにより駆動され、またこの好ましい実施の形態の中では、同期DRAMの入力はCLK 18の正のエッジでサンプリングされる。

その他の入力と回路の特徴は、アイダホ州、ボイズのミクロン半導体社 (Micron Semiconductor, Inc.) により製造されたMT48LC2M851 同期DRAMに対する機能仕様で説明されているとおり公知である。解説のために、WE28に関連するRAS24 (ロー:low) はアクティブコマンドを提供する。アドレス入力30 (A0-A11) は、ライン33上の行ラッチ信号としてのアクティブコマンドにより行アドレス・ラッチ32でラッチされる。行アドレスは行アドレス・バッファ34に行き、メモリー・アレー16の適切な行をアクセスするために行デコーダー36により復号される。RAS 24 (ロー) に関連する、列アドレス信号 (CAS) 26 (ロー) とWE 28はREAD (読み出し) あるいはWRITE (書き込み) コマンドを提供する。ライン38上の信号としてのREAD/WRITEコマンドは、アドレス入力30 (A0-A8) から列アドレス・ラッチ40への列アドレスをラッチする。列アドレスは列アドレスバッファ・ラッチ44に行き、ライン39上の列アドレス・ラッチ信号は、何時列アドレス・バッファラッチ44が列アドレスを列アドレス・デコーダー46に伝えるかを決定する。待ち時間遅延回路62は、ライン39上の信号を調整してライン39上の調整された列アドレス・ラッチ信号を作ること、列アドレス・バッファ・ラッチ44が列アドレスの復号のための列アドレスを作ることから遅らせる。列アドレスは、メモリー・アレー16の適切な列をアクセスするために列デコーダー46により復号化される。センス増幅器 (読み出し増幅器) と入出力ゲート48で、メモリー・アレー16の中のメモリーの適切なバイトにアクセスを行うことができる。当業者に既知のとおり、READあるいはWRITEコマンドのいずれが生じているかにより、8

ビット、即ち1バイトがデータ出力バッファ50に利用でき、ライン52上のタ

イミング信号で決定されるようにクロックインされるか、あるいは、ライン56上のタイミング信号とラッチ58により決定されたようにデータ出力バッファ54の中に格納された後で、8ビットがメモリー・アレーの適切なバイトに書き込まれる。

説明された実施の形態に従って、パラメータ  $t_{RCd}$  は、アクティブコマンドから READ/WRITE コマンドまでで測定され、パラメータ  $t_{AA}$  は、READ/WRITE コマンドから有効データ出力までで測定される。解説のために、外部  $t_{RCd}$  は、アクティブコマンド上のシステム・クロックの立ち上がりエッジから READ/WRITE コマンド上のシステム・クロックの立ち上がりエッジまでで測定され、また外部  $t_{AA}$  は、READ/WRITE コマンドから有効データ出力までで測定される。

同期DRAMは、一般的に  $t_{AA}$  と  $t_{RCd}$  が同様の性能を有することを要求するパイプライン方式を使用する。このように、75Mhz システム・クロック ( $t_{CK}=13.3ns$ ) で作動する一般的な同期DRAMは、 $t_{RCd}$  及び  $t_{AA}$  の両方に3個のシステムクロックサイクルを割り当てる。従って、システムは、READ動作を実行するために6個のシステム・クロック・サイクルを割り当てる。このような場合、 $t_{RCd}$  は必要以上に長く、 $t_{RCd}$  が2 (個の) システム・クロック・サイクルに短縮されれば、同期DRAMのためのREAD動作を1 (個の) システム・クロック・サイクルだけ短縮できる。例えば、75Mhzのシステムは、 $t_{RCd}$  に26.6ns (2 (個の) システム・クロック・サイクル) と  $t_{AA}$  に35.6ns (2  $t_{CK}$  に1間隔アクセス  $t_{KQ}$  を加えたもの) を割り当てる。ついでながら、この例の中で、透明データ出力バッファ50を経由して2  $t_{CK}$  と1  $t_{KQ}$  の後で出力端子59上でメモリー・アレーからのデータが得られるので、 $t_{AA}$  は、3 システム・クロック・サイクル未満である。 $t_{RCd}$  が  $t_{AA}$  により補償されるので、 $t_{RCd}$  の短縮が行えるようにするために、 $t_{AA}$  と三番目のシステム・クロック・サイクルとの間で利用できる時間を利用できる。このように、 $t_{RCd}$  に2 システム・クロック・サイクルが割り当てられ、また  $t_{AA}$  に3 システム・クロック・サイクルが割り当てられるにすぎないならば、 $t_{RCd}$  は歩留まり (yield) 制限パラメータとなる。従って、最適化回路は、 $t_{AA}$  に利用できる余分の時間を  $t_{RCd}$  にシフトし、結果的に、3 システム・クロック・サイクルに設定されるSD RAM

のための読み取り待ち時間で6から5クロック・サイクルへのメモリー・アクセスのための全体的な時間の短縮となる。

図2の同期DRAMは、各種の周波数で作動させることができる。低い周波数では、DRAMを2システム・クロック・サイクルでプログラムすることが好ましい。図2に関して、同期DRAM12は、待ち時間を設定するようにプログラムされたモード・レジスター61を含むことができる。上記で説明されているとおり、READ待ち時間が3に設定されまたメモリー・アクセス時間が3クロック・サイクル未満であるとき、最適化回路の待ち時間遅延回路62が歩留まり制限パラメータ、tRCDを補償するので、余分の時間で、tRCDの2クロックサイクルへの短縮あるいは最適化を行うことができる。

本発明の原理に従って、また図3aで最も良く見られるように、最適化回路は、マスター列アドレス・ラッチ40との間でマスター・スレーブ関係で構成されている列アドレス・バッファ・ラッチ44を制御する待ち時間遅延回路62を含む。待ち時間遅延回路62は、列アドレスを列アドレス・ラッチ40から列アドレス・デコーダー46（図2）に送ることを遅らせることで列アドレスの復号化を遅らせる。遅延回路62は、列アドレス復号化のために利用できる余分の時間から短縮されたtRCDに対して効果的に追加時間を補償するか、あるいは提供する。このことで、AAに対して割り当てられた実行時間が短縮され、またそれをより臨界的なパラメータtRCDに”シフト”する。

この特定の実施の形態の中で、列アドレス・ラッチ40は、ライン38上の信号に従って新しい列アドレスをラッチする。一旦ラッチされると、列アドレス・ラッチ40の中の列アドレスは有効となり、ライン39上の信号の立ち下がりエッジで列アドレス・バッファ・ラッチ44はアンラッチされる(unlatched)ことができる。一旦アンラッチされると、列アドレス・バッファ・ラッチ44は、列アドレス・ラッチ40から列デコーダー46（図2）への列アドレスを生成する。ライン39上の信号の立ち上がりエッジの上で、列アドレスは、列アドレス・バッファ・ラッチ44でラッチされ、列アドレス・ラッチ40は新しい列アドレスを受け取る準備がととのう。待ち時間遅延回路62は、ライン39上で信号を作り出し、従って、列アドレ

ス・ラッチ40の列アドレスが列デコーダー46（図2）に送られたとき、遅延させるように、ライン64上の信号を遅らせるために使用される。上記で解説されているとおり、遅延の間隔の間、列アドレスの復号化のために利用できる時間から、最適化された時間成分のための余分の時間が提供される。

図3bの中に示されている遅延回路62を使用することで待ち時間遅延回路62を実施することができる。遅延回路62は、この実施の形態の3（個の）システムクロック・サイクルの待ち時間を示す待ち時間信号に応答する。予め設定された待ち時間信号は、最初の（1番目の）時間成分に割り当てられたクロック・サイクルの数を削減し、また最初の時間成分を余分な利用可能な時間を有する二番目の時間成分に利用できる時間で補償することで、全体のメモリー・アクセス時間が最適化される待ち時間を示す。待ち時間信号を受信することで、遅延回路62は、ライン39上の遅延させられた列ラッチ信号を作り出すためにライン64上の逆の列ラッチ信号を遅延させる。ライン39上の遅延させられた信号は、列アドレス・バッファ・ラッチ44に列アドレスを列アドレス・ラッチ40から列アドレス・デコーダー46（図2）に送らせる。その結果、列アドレスの復号化は遅られ、その遅延は、効果的にtRCDのための余分の時間を列アドレス復号化のために利用可能な余分の時間から提供する。

前の例の中で、列アドレス復号化のための列アドレスを送るのに当たっての4.4nsの遅延は、内部のtRCDを26.6nsから31nsに変更してから、内部tAAを35.6nsから31nsに短縮する。このようにして、tRCDに対する要求が1クロック・サイクルだけ短縮されるので、ライン64上の逆の列ラッチ信号の中に遅延を導入することで、内部の列アドレスのバッファリングを外部の同期クロックエッジ（シフトされ得ない）から”位相シフト”することで、速度歩留まりを最大限にする。更に、時間遅延は、システムのプロセス、待ち時間、周波数をマッチングし、また将来の拡張化を可能にするために調整することができる。

遅延回路62を実施することで、モード・レジスター61（図2）からのライン70上の待ち時間信号及び（ライン64上の逆列アドレス・ラッチ信号を受信する。ライン64上の逆の列ラッチ信号はNANDゲート76と遅延インバーター82に入力され

る。この特定の実施の形態の中で、ライン39上の列ラッチ信号の立ち下がりエッジにより列アドレス・バッファ・ラッチ44のラッチが外される。従って、列ア

ドレス・バッファ・ラッチ44を介して、列アドレス・ラッチ40でのラッチされた列アドレスが列デコーダー46（図2）で利用できる。この特有の実施の形態の中で、ライン70上の待ち時間信号がローの場合は（待ち時間は待ち時間を最適化するために設定されていない）、ライン74上のNANDゲート72の出力はハイであり、またライン39上のNANDゲート76の出力は、遅滞なくライン64上の逆列ラッチ信号の逆転を反映する（NANDゲート76に遅延がないと仮定して）。例えば、ライン64上の逆列ラッチ信号がハイとなった場合、ライン39上の列ラッチ信号がローとなり、列アドレス・バッファ・ラッチ44が、列アドレス・ラッチ40上でラッチされている列アドレスを列デコーダー46に送る。ここで見られるとおり、遅延は、ライン64上の待ち時間信号がローのとき、ライン64上の逆転された列ラッチ信号に全く導入されない（NANDゲート76の遅延を無視して）。

待ち時間信号がハイの場合（この実施の形態のために遅延は3クロック・サイクルの待ち時間を最適化されるために設定されている）、待ち時間遅延回路62が作動させられる。このように、待ち時間遅延回路62は、ライン64上の逆列ラッチ信号のローからハイへの遷移を遅らせ、それにより、ライン39上のハイからローへの遷移により列アドレス・バッファ・ラッチ44のラッチを外す。この方法で、全体のメモリー・アクセス時間の他の時間成分の最適化ができるように、列アドレス復号化は遅延させられる。遅延回路62は、ライン39上の列ラッチ信号をハイからローにさせることから来るライン64上の信号の遷移を遅らせることで、ラインアドレス・バッファ・ラッチ44のラッチ解除を遅らせるライン39上の遅延させられた列ラッチ信号を提供する。遅延回路62の特定の回路に従って、ライン39上のNANDゲート76の出力は、ライン74上の信号がハイとなった後で、ローとなる。ライン74上の信号は、ライン64上の”ハイ”逆列ラッチ信号が遅延インバータ82を通過した後でのみ、ハイとなる。現在ローである遅延インバータ82の出力は、NANDゲート72に送られる。ライン70の待ち時間信号もハイであるので、NANDゲート72の出力はライン74でハイとなる。このように、ライン39の列ラッチ信

号のハイからローへ遷移は、遅延インバータ82及びNANDゲート72により導入された遅延により、ライン64の逆列ラッチ信号のハイからロー遷移から遅延される。このようにして、ライン39上の遅延させられた列ラッチ信号は、全体のメモリー

・アクセス時間の時間を制限する成分を補償するために列アドレスの復号化を遅延させる。

前の例を利用して、NANDゲート76の出力の立ち下がりエッジは、ライン64上の逆列ラッチ信号の立ち上がりエッジから4.4nsだけ遅らされる。NANDゲート76の出力が下がると、列アドレス・バッファラッチ44は、列アドレスを列アドレス復号化ができるようにする。

この特定の実施の形態の遅延回路62は、列アドレス復号化のために列アドレスの出現を遅延させるが、遅延回路62は、列アドレス・バッファラッチ44への列アドレスのラッチを遅延させない。例えば遅延回路62が作動しており、またライン64上の逆列ラッチ信号がローからハイへの遷移を行っているとき、NANDゲート76の出力は、ライン39上でローからハイへの遷移を行うが、この時の遅延がこの特定の実施の形態にとって有利でないので、遅延無しである（NANDゲート76に遅延が無いものと仮定して）。前に解説されているとおり、列アドレス・バッファラッチ44が列アドレスをラッチしたとき、列アドレス・ラッチ40は、新しい列アドレスを受信できる。

このようにして、本発明は、固定された待ち時間遅延回路で具体的に説明されたが、本発明の範囲は、柔軟性を向上させるための待ち時間遅延回路の一部としてのプログラム可能な遅延に及ぶものとする。代案として、メモリー・サイクルの時間制限パラメータのために余分の時間を提供するための列アドレス復号化を遅延させるための他の遅延回路構成（示されていない）も使用できる。例えば、異なる論理回路も、異なる仕様と機能を有する構成要素と共に使用できる。メモリー・アクセスと共に他の待ち時間のための異なる時間要素を巧みに利用するために、本発明の最適化回路と制御システムを使用することができる。

種々のタイプの回路と構成を利用して、上記の例と解説の方法で開示された本発明の原理を実施できる。例えば、最適化されているが、同期メモリー装置の中

で余分な利用できる他の時間成分で時間が制限されている成分を補償することでメモリー・アクセス動作の最適化ができる各種の論理構成、遅延あるいはスイッチを利用して、最適化回路とスイッチを実施できる。更に、種々のメモリー・アクセス動作と他の待ち時間のために異なる信号で本発明を利用できる。言うまで

もなく、一部の信号を作動させたり非作動化させたりするための種々の信号を、信号パスに沿った異なる点で接続させることができる。技量に熟達した者であれば、次の請求に設定されている本発明の精神と範囲を逸脱することなく、本出願の中で図示され説明された例として挙げられた適用に固執することなく、これ等の種々の他の改良と変更が本発明に加えられることが可能であることは容易に理解できる。

【図1】

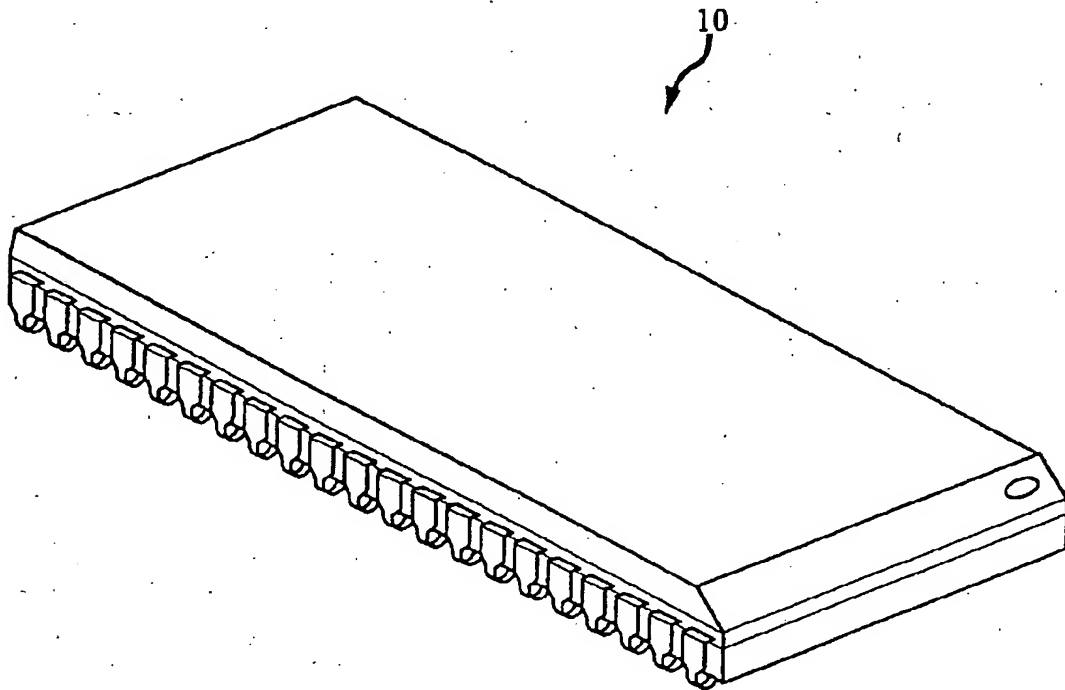
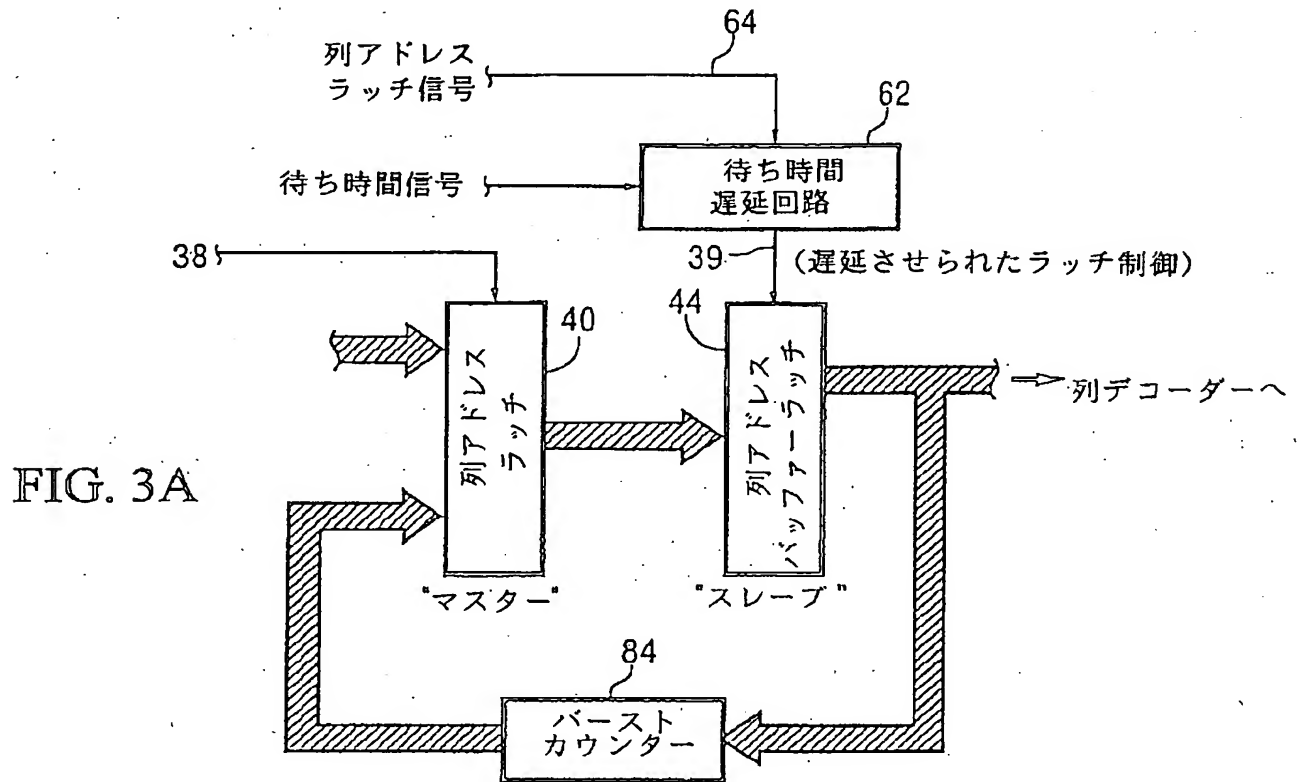


FIG. 1

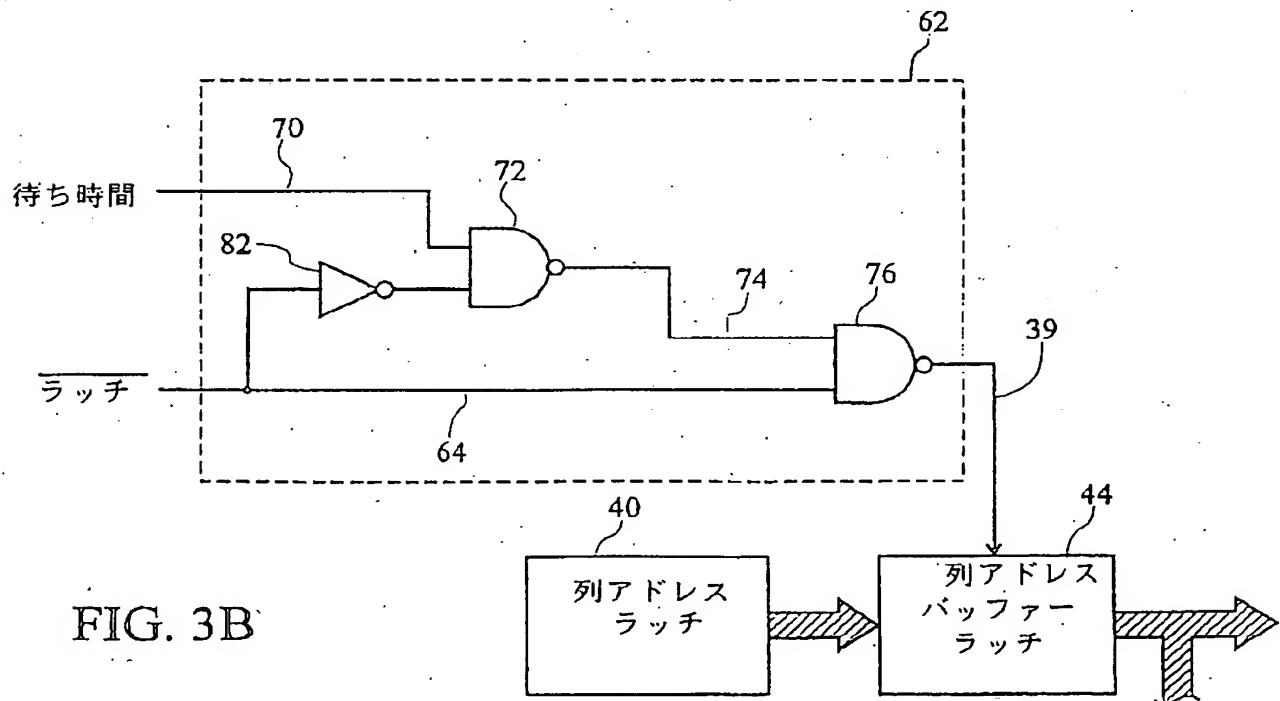




【図3】



【図3B】



【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No

PCT/US 96/03379

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 6 G11C8/00 G11C11/408		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 6 G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP,A,0 487 288 (OKI ELECTRIC) 27 May 1992 see column 3, line 1 - column 5, line 48; figures 1-3 ---	1
A	EP,A,0 623 931 (NEC CORPORATION) 9 November 1994 see the whole document ---	1
A	EP,A,0 618 588 (UNITED MEMORIES) 5 October 1994 see column 1, line 1 - column 5, line 22; figures 1,2 ---	1
A	EP,A,0 552 625 (MOTOROLA) 28 July 1993 see page 8, line 11 - page 9, line 18 see page 12, line 25 - page 12, line 41 -----	1
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
<b>* Special categories of cited documents :</b> *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *A* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
23 August 1996		05.09.96
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer Degraeve, L

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International Application No

**PCT/US 96/03379**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-487288	27-05-92	JP-A- 4184786	01-07-92
		DE-D- 69117001	21-03-96
		US-A- 5339276	16-08-94
		US-A- 5430688	04-07-95
		US-A- 5521879	28-05-96
		US-A- 5287327	15-02-94
-----			
EP-A-623931	09-11-94	JP-A- 6290583	18-10-94
		US-A- 5444667	22-08-95
-----			
EP-A-618588	05-10-94	US-A- 5379261	03-01-95
		JP-A- 6295583	21-10-94
-----			
EP-A-552625	28-07-93	US-A- 5303191	12-04-94
		JP-A- 5258575	08-10-93
-----			